

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-065470
(43)Date of publication of application : 06.03.1998

(51)Int.CI. H03G 3/20
H03G 3/30
H04L 27/38

(21) Application number : 08-221966

(71)Applicant : NEC CORP

(22) Date of filing : 23.08.1996

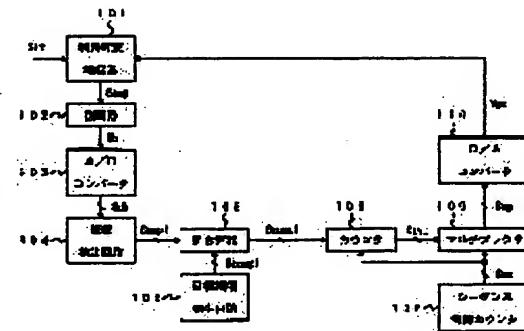
(72) Inventor : SHIKAKURA GIICHI
OSAWA TOMOYOSHI

(54) AUTOMATIC GAIN CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize high speed and stable automatic gain control with a simple circuit over a wide dynamic range.

SOLUTION: The control circuit is made up of a gain variable amplifier 101, a demodulator 102, an A/D converter 103, an amplitude detection circuit 104, an object amplitude generating circuit 105, a subtractor 106, a sequence control counter 107, a counter 108, a multiplexer 109 and a D/A converter 110. The subtractor 106 takes a difference between an amplitude signal Sampl and an object amplitude signal Stampl to provide an output of an amplitude error signal Seampl. The counter 108 integrates this signal over a prescribed length of time and provides an output of a level discrimination signal SLVL. The multiplexer 109 selects among N-sets of gains at an interval of $1/N$ of the entire gain width, sets the selected gain and outputs a step preset signal Ssp. The step reset signal Ssp is outputted from the D/A converter 110 as a gain control voltage Vgc to control the gain variable amplifier 101.



LEGAL STATUS

[Date of request for examination] 23.08.1996

[Date of sending the examiner's decision of rejection] 18.04.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3120737

[Date of registration] 20.10.2000

[Number of appeal against examiner's decision 2000-07469
of rejection]

[Date of requesting appeal against examiner's decision of rejection] 18.05.2000

[Date of extinction of right] 20.10.2003

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-65470

(43)公開日 平成10年(1998)3月6日

(51)Int.Cl.
H 03 G 3/20
3/30
H 04 L 27/38

識別記号

庁内整理番号

F I
H 03 G 3/20
3/30
H 04 L 27/00

技術表示箇所
A
B
G

審査請求 有 請求項の数 5 OL (全 7 頁)

(21)出願番号

特願平8-221966

(22)出願日

平成8年(1996)8月23日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者

鹿倉 義一
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者

大澤 智喜
東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人

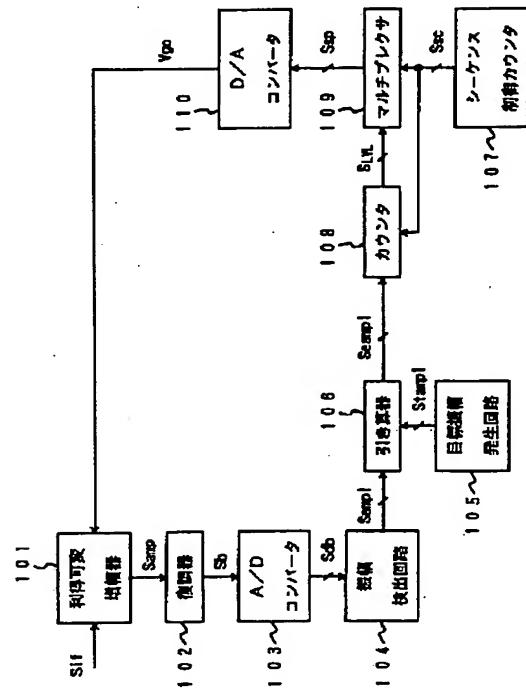
弁理士 鈴木 弘男

(54)【発明の名称】 自動利得制御回路

(57)【要約】 (修正有)

【課題】 広いダイナミックレンジで高速かつ安定した自動利得制御を簡単な回路で実現する。

【解決手段】 利得可変増幅器101、復調器102、A/Dコンバータ103、振幅検出回路104、目標振幅発生回路105、引き算器106、シーケンス制御カウンタ107、カウンタ108、マルチブレクサ109、D/Aコンバータ110により構成される。引き算器106は振幅信号Samp1と目標振幅信号Samp1の差をとり振幅誤差信号Samp1を出力する。カウンタ108はこの信号を一定時間積分し、レベル判定信号SLVLを出力する。マルチブレクサ109は全体の利得幅の1/N刻みのN個の利得の中の1つを選択し設定してステッププリセット信号Sspを出力する。ステッププリセット信号SspはD/Aコンバータ110により利得制御電圧Vgcとして出力され、利得可変増幅器101が制御される。



【特許請求の範囲】

【請求項1】 利得制御信号に基づき入力信号を利得制御して出力する利得可変増幅器と、該利得可変増幅器の出力信号を復調してベースバンド信号を出力する復調器と、前記ベースバンド信号の振幅を検出して振幅信号を出力する振幅検出回路と、目標振幅信号を出力する目標振幅発生回路と、前記振幅信号と前記目標振幅信号との差に基づく振幅誤差信号を出力する引き算器と、ある1ビット間隔以上のトリガ信号を出力するシーケンス制御回路と、N個の前記トリガ信号に従って全体の利得幅の1/N刻みのN個の利得の中の1つを前記振幅誤差信号に基づいて選択して設定する操作をMステップにわたって行い(1/N)^M幅の精度を持つ利得を設定する利得設定回路とを有することを特徴とする自動利得制御回路。

【請求項2】 前記利得設定回路において、前記振幅誤差信号に対して一定時間の不感部分を設けたことを特徴とする請求項1に記載の自動利得制御回路。

【請求項3】 前記利得設定回路において、前記トリガ信号に従って全体の利得幅の1/N刻みのN個の利得の中の1つを前記振幅誤差信号に基づいて選択して設定する操作をMステップにわたって行い(1/N)^M幅の精度を持つ利得を設定した後に、1次ループにより逐次連続的に利得制御を行うことを特徴とする請求項1または2に記載の自動利得制御回路。

【請求項4】 前記振幅誤差信号と前記トリガ信号を入力としてRFアッテネータ制御信号を出力するRFアッテネータ制御回路と、RF信号の減衰率を前記アッテネータ制御信号により切り替えて減衰信号を出力するRFアッテネータと、ダウンコンバート信号を出力する発振器と、前記減衰信号を前記ダウンコンバート信号によりIF信号にダウンコンバートして出力するミキサをさらに有し、前記トリガ信号に従って前記利得設定回路により前記利得制御信号をプリセットして前記RFアッテネータの減衰率の制御を行った後に、前記利得設定回路が前記トリガ信号に従って全体の利得幅の1/N刻みのN個の利得の中の1つを前記振幅誤差信号に基づいて選択して設定する操作をMステップにわたって行い(1/N)^M幅の精度を持つ利得を設定することを特徴とする請求項1ないし3のいづれか1項に記載の自動利得制御回路。

【請求項5】 前記NおよびMが可変である請求項1ないし4のいづれか1項に記載の自動利得制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、入力信号に対して增幅器の利得を自動制御して安定した增幅器出力を供給する自動利得制御回路に関する。

【0002】

【従来の技術】 従来の自動利得制御回路では、アナログ

利得制御により粗い利得制御を、デジタル利得制御により細かい利得制御を行っている。

【0003】 以下、特開昭55-97714号に開示されたハイブリッド自動利得制御回路について図4を用いて説明する。利得セクション401はレジスタ入力信号S_{in}をレジスタ402の出力信号S_{R01}に応じて粗く利得制御し、アナログ利得制御出力信号S_{agc}を出力する。レジスタ402は利得制御信号S_{c1}を記憶してレジスタ出力信号S_{R01}を出力する。A/Dコンバータ404はアナログ利得制御出力信号S_{agc}をデジタル変換し、デジタル変換されたA/D出力信号S_{ad}を出力する。レジスタ406は利得制御信号S_{c2}を記憶してレジスタ出力信号S_{R02}に応じてマルチプライヤ405を細かく利得制御し、デジタル利得制御出力信号S_{dg}を出力する。利得制御回路403はマルチプライヤ405からのデジタル利得制御出力信号S_{dg}を入力し、粗い利得制御を行うための利得制御信号S_{c1}と細かい利得制御を行うための利得制御信号S_{c2}とを出力する。このようにして復調回路からのレジスタ入力信号S_{in}を一定に保つ自動利得制御が行われる。

【0004】

【発明が解決しようとする課題】 従来の自動利得制御回路は上述したような回路構成を採っているので、ループ利得が大きいときは誤りが大きくループ利得が小さいときは制御が遅くなるため、高速かつ安定した制御を行うためにはループ利得の制御が必要であること、粗い利得制御を行うアナログ利得制御と細かい利得制御を行うデジタル利得制御部で構成されるため回路が複雑になること等の問題があった。

【0005】 本発明は上記の点にかんがみてなされたもので、できるだけ簡単な回路構成で広いダイナミックレンジで高速かつ安定した利得制御が実現できる自動利得制御回路を提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明は上記の目的を達成するために、第1の態様においては、利得制御信号により入力信号を利得制御して出力する利得可変増幅器と、該利得可変増幅器の出力信号を復調してベースバンド信号を出力する復調器と、該ベースバンド信号の振幅を検出して振幅信号を出力する振幅検出回路と、目標振幅信号を出力する目標振幅発生回路と、振幅信号と目標振幅信号との差に基づく振幅誤差信号を出力する引き算器と、ある1ビット間隔以上のトリガ信号を出力するシーケンス制御回路と、N個のトリガ信号に従って全体の利得幅の1/N刻みのN個の利得の中の1つを振幅誤差信号に基づいて選択して設定する操作をMステップにわたって行い(1/N)^M幅の精度を持つ利得を設定する利得設定回路とにより自動利得制御回路を構成した。

【0007】 本発明の第2の態様においては、利得制御信号に基づいて入力信号を利得制御して出力する利得可

3

変増幅器と、該利得可変増幅器から出力する信号を復調してベースバンド信号を出力する復調器と、ベースバンド信号の振幅を検出して振幅信号を出力する振幅検出回路と、目標振幅信号を出力する目標振幅発生回路と、振幅信号と目標振幅信号の差 n_i を取り振幅誤差信号を出力する引き算器と、ある1ビット間隔以上のトリガ信号を出力するシーケンス制御回路と、N個のトリガ信号に従って全体の利得幅の $1/N$ 刻みのN個の利得の中の1つを一定時間の不感部分の後に振幅誤差信号を基に選択して設定するという操作をMステップにわたって行い $(1/N)^M$ 幅の精度を持つ利得を設定する利得設定回路とにより自動利得制御回路を構成した。

【0008】本発明の第3の態様においては、利得制御信号に基づいて入力信号を利得制御信号により利得制御して出力する利得可変増幅器と、前記IF信号を復調してベースバンド信号を出力する復調器と、ベースバンド信号の振幅を検出して振幅信号を出力する振幅検出回路と、目標振幅信号を出力する目標振幅発生回路と、振幅信号と目標振幅信号との差に基づいて振幅誤差信号を出力する引き算器と、ある1ビット間隔以上のトリガ信号を出力するシーケンス制御回路と、N個のトリガ信号に従って全体の利得幅の $1/N$ 刻みのN個の利得の中の1つを前記振幅誤差信号に基づいて選択して設定するという操作をMステップにわたって行い $(1/N)^M$ 幅の精度を持つ利得を設定した後に1次ループにより逐次連続的に利得制御を行う利得設定回路とにより自動利得制御回路を構成した。

【0009】本発明の第4の態様においては、振幅誤差信号と前記トリガ信号を入力としてRFアッテネータ制御信号を出力するRFアッテネータ制御回路と、RF信号の減衰率を前記アッテネータ制御信号により切り替えて減衰RF信号を出力するRFアッテネータと、ダウンコンバート信号を出力とする発振器と、減衰RF信号を前記ダウンコンバート信号によりIF信号にダウンコンバートして出力するミキサIF記号を利得制御信号により利得制御して復調器入力信号を出力する利得可変増幅器と、復調器入力信号を復調してベースバンド信号を出力する復調器と、ベースバンド信号の振幅を検出して振幅信号を出力する振幅検出回路と、目標振幅信号を出力する目標振幅発生回路と、振幅信号と目標振幅信号の差を取り振幅誤差信号を出力する引き算器と、ある1ビット間隔以上のトリガ信号を出力するシーケンス制御回路と、N個のトリガ信号に従って全体の利得幅の $1/N$ 刻みのN個の利得の中の1つを振幅誤差信号を基に選択して設定するという操作をMステップにわたって行い $(1/N)^M$ 幅の精度を持つ利得を設定する利得設定回路とにより自動利得制御回路を構成した。

【0010】

【作用】振幅誤差信号に基づいて全体の利得幅の $1/N$ の利得の中の1つを選択して設定するという操作をMス

4

テップにわたって行うことにより高速で安定した制御が実現できる。

【0011】

【発明の実施の形態】次に本発明について図面を参照して説明する。

【0012】図1は本発明による自動利得制御回路の第1の実施形態を示すブロック図である。利得可変増幅器101はIF信号Sifを利得制御電圧Vgcにより利得制御して増幅器出力信号Samplを出力する。復調器102は増幅器出力信号Samplを復調してベースバンド信号Sbを出力する。A/Dコンバータ103はベースバンド信号Sbをデジタル値に変換してデジタルベースバンド信号Sdbを出力する。振幅検出回路104はデジタルベースバンド信号Sdbの振幅を求めて振幅信号Sampl1を出力する。目標振幅発生回路105は振幅信号Sampl1の目標値である目標振幅信号Stampl1を出力する。引き算器106は振幅信号Sampl1から目標振幅信号Stampl1を引いて振幅誤差信号Seamp1を出力する。

【0013】シーケンス制御カウンタ107は設定されたステップ数Mに基づいて利得制御のシーケンスを操作するシーケンス制御信号Sscを出力する。カウンタ108はシーケンス制御信号Sscに従って振幅誤差信号Seamp1を一定時間積分して振幅信号Sampl1が目標振幅信号Stampl1に対してどのくらいのレベルにあるかを判定してレベル判定信号SLVLを出力する。マルチブレクサ109はシーケンス制御信号Sscに従ってレベル判定信号SLVLの値に応じて全体の利得幅の $1/N$ 刻みのN個(あらかじめ設定されている)の利得の中の1つを選択し設定してステッププリセット信号Sspを出力するという操作をシーケンス制御カウンタ107により設定されたステップ数M回にわたって行う。D/Aコンバータ110はステッププリセット信号Sspをアナログ値に変換して利得制御電圧Vgcとして出力する。以上の動作により指數関数的に収束する高速なデジタル自動利得制御が実現できる。

【0014】たとえば、上述の操作がN=2、M=3で行われるとする。このときのレベル判定信号SLVLはHighとLowの2値のみを探る。シーケンス制御信号Sscにより制御が始まると、まず図5のように利得制御電圧Vgcが全体の中央値になるようにステッププリセット信号Sspをプリセットする。

【0015】一定時間カウンタ108により振幅誤差信号Seamp1の積分が行われ、振幅信号Sampl1が目標振幅信号Stampl1に比べて大きければレベル判定信号SLVLはHigh、小さければLowとなる。レベル信号SLVLがHighのときはステップ1のプリセット値は図5の実線のように全体の中央値と最大値の中央値にプリセットされる。SLVLがLowのときは点線のように全体の中央値と最小値の中央値にプリセットさ

10

20

30

40

50

5

れる。同様にステップ2では $(1/2)^2$ の幅で、レベル信号S_{LVL}がステップ1でHigh、ステップ2でLowの場合、図5の実線のようにプリセットされる。さらにステップ3では $(1/2)^3$ の幅でレベル信号S_{LVL}がHighの場合実線のようにプリセットされる。従って、この場合指數的に $(1/2)^3$ の幅の精度で利得制御電圧V_{gc}の値が収束することになる。

【0016】本実施例の中でカウンタ108で振幅誤差信号S_{amp1}の積分を行う際、利得可変増幅器101の過渡応答のためレベル判定を誤る可能性がある。カウンタ108による積分を始める前にシーケンス制御信号S_{sc}によって不感部分を設け、この間の振幅誤差信号S_{amp1}は積分に用いないことによって、利得可変増幅器101の過渡応答によるレベル判定への影響を避けることができる。図2は本発明による自動利得制御回路の第2の実施形態を示すブロック図であり、図1と同じ参照数字は同じ構成部分を示す。

【0017】利得可変増幅器101はIF信号S_{if}を利得制御電圧V_{gc}により利得制御して増幅器出力信号S_{amp}を出力する。復調器102は増幅器出力信号S_{amp}を復調してベースバンド信号S_bを出力する。A/Dコンバータ103はベースバンド信号S_bをデジタル値に変換してデジタルベースバンド信号S_{db}を出力する。振幅検出回路104はデジタルベースバンド信号S_{db}の振幅を求めて振幅信号S_{amp1}を出力する。目標振幅発生回路105は振幅信号S_{amp1}の目標値である目標振幅信号S_{stamp1}を出力する。引き算器106は振幅信号S_{amp1}から目標振幅信号S_{stamp1}を引いて振幅誤差信号S_{amp1}を出力する。シーケンス制御カウンタ107は設定されたステップ数Mに基づいて利得制御のシーケンスを操作するシーケンス制御信号S_{sc}を出力する。

【0018】カウンタ108はシーケンス制御信号S_{sc}に従って振幅誤差信号S_{amp1}を一定時間積分して振幅信号S_{amp1}が目標振幅信号S_{stamp1}に対してどのくらいのレベルにあるかを判定してレベル判定信号S_{LVL}を出力する。マルチブレクサ109はシーケンス制御信号S_{sc}に従ってレベル判定信号S_{LVL}の値に応じて全体の利得幅の1/N刻みのN個（あらかじめ設定されている）の利得の中の1つを選択し設定してステッププリセット信号S_{sp}を出力するという操作をシーケンス制御カウンタ107によりあらかじめ設定されたステップM回にわたって行う。ここまで回路構成と回路動作は図1に示した第1の実施形態と同じである。

【0019】以下の点において第1の実施形態と異なる。

【0020】カウンタ201は振幅誤差信号S_{amp1}を積分して振幅誤差信号S_{amp1}が目標振幅信号S_{stamp1}より大きいときはアップダウン信号S_{up}をアップ、小さいときはダウンとして逐次出力する。AG

6

Cカウンタ202は、シーケンス制御信号S_{sc}に従って、カウンタロードモードのときはステッププリセット信号S_{sp}をロードして利得制御信号S_{agc}として出力し、カウンタイネーブルモードのときはアップダウン信号S_{up}により利得制御信号S_{agc}を逐次アップダウンして出力する。D/Aコンバータ110はステッププリセット信号S_{sp}をアナログ値に変換して利得制御電圧V_{gc}を出力する。以上の動作により高速かつジッタの少ないデジタル自動利得制御が実現できる。

【0021】たとえば、第1の実施形態の $(1/2)^3$ の利得幅の精度での制御を終えた後に、シーケンス制御信号S_{sc}によりカウンタイネーブルモードに切り替えるとする。図6のようにステップ3を終了した時点で $(1/2)^3$ の幅の精度で収束している。ここで、アップダウン信号S_{up}により利得制御信号S_{gc}を逐次制御するループ利得の小さい1次ループ利得の動作に切り替える。高いループ利得による制御で予め $(1/2)^3$ の精度まで追い込んであるため収束時間は短く、またループ利得が低い制御であるため図6のようにジッタの少ない安定した値へと収束する。

【0022】上記第1および第2の実施形態において、シーケンス制御カウンタ107により設定されるステップ数Mおよびマルチブレクサ109により設定される利得は場の分割数Nは電波の伝播環境が一定である場合には一定でよいが、無線通信環境が変化するような場合には外部からパラメータを入力することにより適宜可変することができるようにしておくのがよい。

【0023】図3は本発明による自動利得制御回路の第3の実施形態を示すブロック図であり、図2と同じ参照数字は同じ構成部分を示す。

【0024】RFアッテネータ301はRF信号S_{rf}をRFアッテネータ制御信号S_{rfac}により減衰して減衰RF信号S_{arf}を出力する。ミキサ303は減衰RF信号S_{arf}を発振器302からのダウンコンバート信号S_{dc}によりダウンコンバートし、IF信号S_{if}として出力する。利得可変増幅器101はIF信号S_{if}を利得制御電圧V_{gc}により利得制御して増幅器出力信号S_{amp}として出力する。復調器102は増幅器出力信号S_{amp}を復調してベースバンド信号S_bを出力する。A/Dコンバータ103はベースバンド信号S_bをデジタル値に変換してデジタルベースバンド信号S_{db}を出力する。振幅検出回路104はデジタルベースバンド信号S_{db}の振幅を求めて振幅信号S_{amp1}を出力する。目標振幅発生回路105は振幅信号S_{amp1}の目標値である目標振幅信号S_{stamp1}を出力し、引き算器106は振幅信号S_{amp1}からこの目標振幅信号S_{stamp1}を引いて振幅誤差信号S_{amp1}を出力する。シーケンス制御カウンタ107は利得制御のシーケンスを操作するシーケンス制御信号S_{sc}を出力する。カウンタ108はシーケンス制御信号S_{sc}に従つ

て振幅誤差信号 $S_{e a m p 1}$ を一定時間積分して振幅信号 $S_{a m p 1}$ が目標振幅信号 $S_{t a m p 1}$ に対してどのくらいのレベルにあるかを判定してレベル判定信号 $S_{L V L}$ を出力する。マルチプレクサ 109 はシーケンス制御信号 $S_{s c}$ に従ってレベル判定信号 $S_{L V L}$ の値に応じて全体の利得幅の $1/N$ 刻みの N 個の利得の中の 1つを選択し設定してステッププリセット信号 $S_{s p}$ を出力するという操作を Mステップにわたって行う。RFアッテネータ制御回路 304 はシーケンス制御信号 $S_{s c}$ に従ってレベル判定信号 $S_{L V L}$ の値に応じて RFアッテネータ制御信号 $S_{r f a c}$ を出力する。

【0025】たとえば、RFアッテネータ 301 における減衰は ON、OFF のいずれかであるとする。シーケンス制御信号 $S_{s c}$ により制御が始まると、図 7 のように利得制御電圧 $V_{g c}$ を RFアッテネータの ON/OFF 判定のためプリセットする。一定時間カウンタ 108 により振幅誤差信号 $S_{e a m p 1}$ の積分が行われ、振幅信号 $S_{a m p 1}$ が目標振幅信号 $S_{t a m p 1}$ に比べて大きければレベル判定信号 $S_{L V L}$ は High、小さければ Low となる。レベル判定信号 $S_{L V L}$ が High のときは RFアッテネータ 301 を ON して RF信号 $S_{r f}$ を減衰して出力する。レベル判定信号 $S_{L V L}$ が Low のときは RFアッテネータ 301 を OFF して RF信号 $S_{r f}$ を減衰せずに出力する。この後、ステップ 1、2、3、...において第 1 の実施形態における (1/2) 利得幅の精度での制御と同じ制御を図 7 に示すように行う。このように自動利得制御のシーケンスの始まりに RFアッテネータの ON/OFF の制御を入れることにより RFアッテネータの減衰値分だけ RF信号 $S_{r f}$ の入力上限が上がるため自動利得制御のダイナミックレンジが改善できる。

【0026】本実施の形態においても、マルチプレクサ 109 による利得幅の分割数 N およびシーケンス制御カウンタ 107 による処理の繰り返しステップ数 M は無線通信環境によっては可変にしておくと都合がよいことがある。

【0027】本発明の第 1 および第 2 の実施形態においては、利得制御べき入力信号として IF 信号について例示したが、いずれの場合においても、利得可変増幅器 101 と復調器 102 との間に、第 3 の実施形態の場合と同様に発振器 302 とミキサ 303 とを接続することにより RF 信号に対しても用いるようにすることができる。

【0028】

【発明の効果】本発明の第 1 の態様によれば、高速かつ安定した自動利得制御回路を簡単な回路構成で実現することができる。またカウンタによる積分開始前に不感部分を設けることにより、利得可変増幅器の過渡応答のレベル判定への影響を避けることができる。第 2 の態様によれば、高速でジッタの少ないデジタル自動利得制御回路が実現できる。第 3 の態様によれば、RF 信号に対してダイナミックレンジの広い自動利得制御回路が実現できる。

【図面の簡単な説明】

【図 1】本発明による自動利得制御回路の第 1 の実施形態のブロック図である。

【図 2】本発明による自動利得制御回路の第 2 の実施形態のブロック図である。

【図 3】本発明による自動利得制御回路の第 3 の実施形態のブロック図である。

【図 4】従来の自動利得制御回路の一例の構成を示すブロック図である。

【図 5】本発明の第 1 の実施形態の利得制御電圧の変化を示す図である。

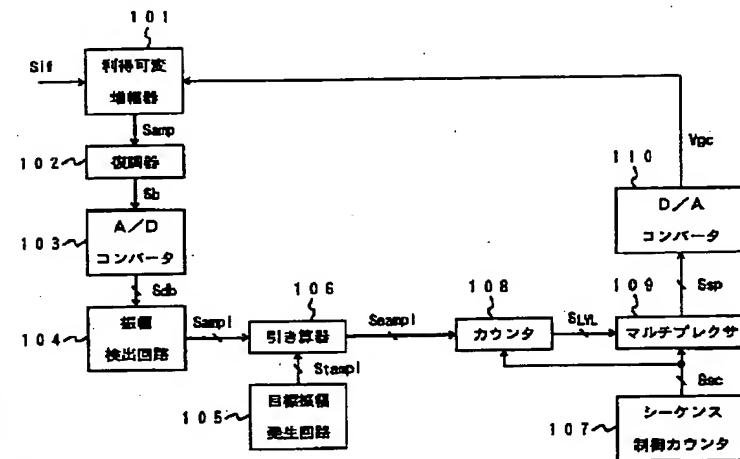
【図 6】本発明の第 2 の実施形態の利得制御電圧の変化を示す図である。

【図 7】本発明の第 3 の実施形態の利得制御電圧の変化を示す図である。

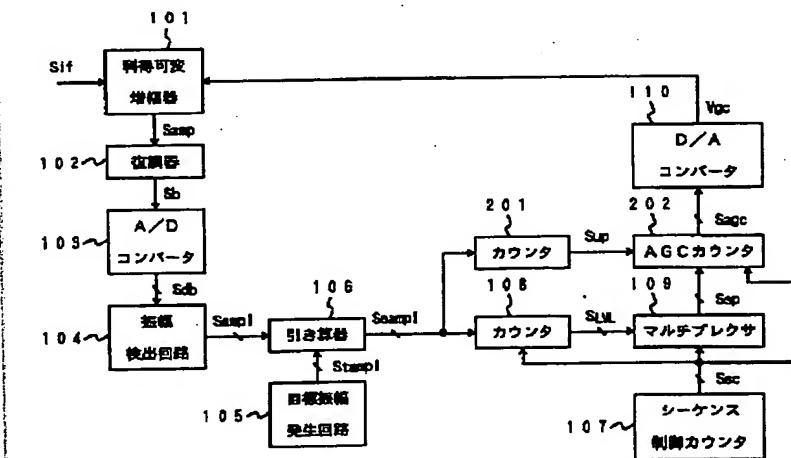
【符号の説明】

- 101 利得可変増幅器
- 102 復調器
- 103、404 A/Dコンバータ
- 104 振幅検出回路
- 105 目標振幅発生回路
- 106 引き算器
- 107 シーケンス制御カウンタ
- 108、201 カウンタ
- 109、405 マルチプレクサ
- 110 D/Aコンバータ
- 202 AGCカウンタ
- 301 RFアッテネータ
- 302 発振器
- 303 ミキサ
- 304 RFアッテネータ制御回路
- 401 利得セクション
- 402、406 レジスタ
- 403 利得制御回路

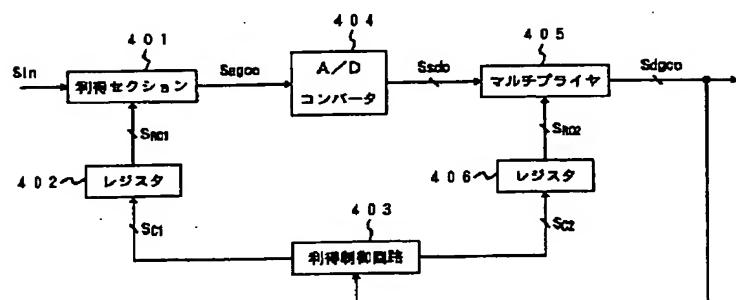
【図1】



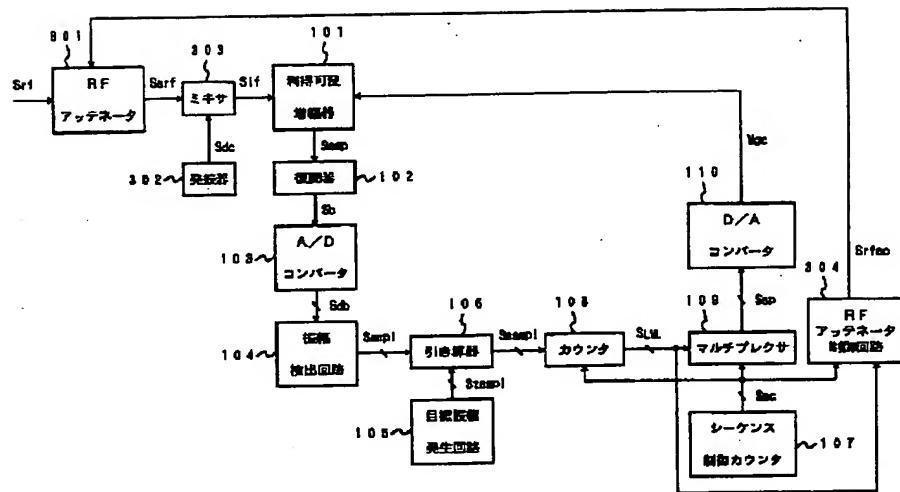
【図2】



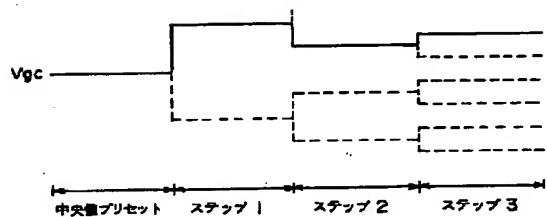
【図4】



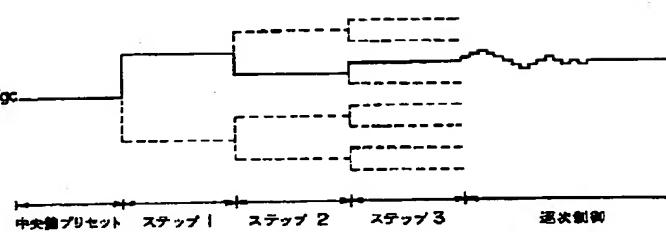
【図3】



【図5】



【図6】



【図7】

